제목: 5-stage pipelined MIPS 설계

2019043890 융합전자공학부

이창민

|  |
| --- |
| 1. Mips pipeline 설계, 모듈과 플립플랍들을 연결했습니다. |
|  |
| 2.control unit에 addi 추가/ testbench 디버깅 용도로 메인 모듈에 output인 pcplus4를 선언하였고 tb에서 wire로 연결하였습니다. |
|  |

|  |  |
| --- | --- |
| 3. instruction 만들기  우선 assembly code로 간단한 코딩을 하였습니다. PCplus4의 예상 값들을 구했습니다.  (beq $a $b #c 는 조건만족시 c인 절대 주소로 점프한다고 생각하고 짰습니다.) | |
|  | |
| 이를 op code로 바꿔주는 assembler를 Python을 이용하여 만들었습니다.  자세한 Python 코드는 깃허브에서 확인하실 수 있습니다. https://github.com/chminsta/MIPS\_assembler\_with\_Python | |
| 파이썬 일부 | 그 아웃풋 |
|  | |
| 우리가 예상한 값과 PCplus4가 일치함을 볼 수 있습니다. | |